

DERWENT-ACC-NO: 1981-82478D  
DERWENT-WEEK: 198145  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device prodn. - with plasma  
increasing breakdown voltage  
of insulating layer

PATENT-ASSIGNEE: NIPPON ELECTRIC CO[NIDE]

PRIORITY-DATA: 1980JP-0024831 (February 28, 1980)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC	LANGUAGE
JP 56122129 A	004	September 25, 1981	N/A	N/A
JP 89023938 B	000	May 9, 1989	N/A	N/A

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP56122129A	N/A		
1980JP-0024831	February 28, 1980		

INT-CL\_(IPC): H01L021/30

ABSTRACTED-PUB-NO: JP56122129A

BASIC-ABSTRACT: Method comprises (1) forming an insulating layer of Si<sub>3</sub>N<sub>4</sub> or SiO<sub>2</sub> on a Si substrate, (2) dry-etching the insulating layer selectively with an etchant gas including at least one of C, F and Cl and (3) exposing the etched substrate in an oxygen gas plasma including below 10 mol.% carbon fluoride chloride such as CF<sub>4</sub>+H<sub>2</sub>, CHF<sub>3</sub>, C<sub>2</sub>F<sub>6</sub>, C<sub>3</sub>F<sub>3</sub>, C<sub>4</sub>F<sub>8</sub> or CClF<sub>3</sub>+H<sub>2</sub>. The breakdown voltage of the insulating layer is effectively increased by the

plasma. The layer is uniformly etched.

In an example, the surface of the substrate is heated to form a SiO<sub>2</sub> layer having thickness of 30-56 angstroms. The layer was etched by dry etching. The substrate was then placed in O<sub>2</sub> gas plasma including 3 mol.% CF<sub>4</sub> to polish the insulating layer.

TITLE-TERMS:

SEMICONDUCTOR DEVICE PRODUCE PLASMA INCREASE BREAKDOWN  
VOLTAGE INSULATE LAYER

DERWENT-CLASS: L03

CPI-CODES: L03-D03D;

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-122129

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/302

識別記号

庁内整理番号  
6741-5F

⑭ 公開 昭和56年(1981)9月25日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮ 半導体装置の製造方法

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑯ 特 願 昭55-24831

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭55(1980)2月28日

東京都港区芝五丁目33番1号

⑲ 発 明 者 黒木幸令

⑳ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

シリコン基板上的シリコン酸化膜又はシリコン酸化膜を少なくとも炭素もしくは弗素または塩素のいずれかを含むエッチングガスにてドライエッチングする工程に引き続き、プラズマ中で露出したシリコン基板表面を少なくとも最大10モル%までの弗化塩化炭素系ガスを含んだ酸素ガスプラズマ中で表面処理する工程を備えていることを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置の製造方法、特に写真刻食技術の一つであるドライエッチング技術を施すことによって露呈することとなる基板表面の処理方法に関するものである。

従来、集積回路等々の半導体装置を製造する工

程に於いて、シリコン酸化膜をエッチングするには弗化水素酸を主成分とする水溶液を、またシリコン窒化膜をエッチングするには150℃程度の熱リン酸を使用する、等々のいわゆる湿式エッチングの手法がとられて来た。近年これらの方法にかわって、 $\text{CF}_4$ と $\text{H}_2$ の混合ガス又は $\text{C}_2\text{F}_6$ 、 $\text{CHF}_3$ 等のフロンガス等々のガスを使って形成したプラズマ中にてシリコン酸化膜やシリコン窒化膜をエッチングする、いわゆるドライエッチング技術が使用されるようになった。この新しいドライエッチング技術は、レジストをマスクにして基板面に垂直な方向にのみエッチングが進行し、横方向にエッチングが進行しない、いわゆる異方性エッチングの性質を示し、シリコン基板上にマスクとなるレジスト寸法通りのシリコン酸化膜及びシリコン窒化膜のパターンを高精度に形成できる利点を有する。しかるに、この方法によりエッチングされ、露出したシリコン基板表面を酸化して形成したシリコン酸化膜及び基板とシリコン界面の性質は、金属(Metal)-酸化膜(Silicon-Oxide)-シ

リコン (Silicon) が積層されたいわゆる MOS 素子として使用する上では、絶縁破壊電圧が低い、表面単位が多い等々の問題があり、実用に供するには問題が多い。このため、シリコン酸化膜のエッチングの場合、シリコン基板が露出するまではドライエッチングせず、ごく薄いシリコン酸化膜を残してエッチングを終り、残りの薄いシリコン酸化膜を弗化水素を含む水溶液でエッチング除去するという便法が用いられている。

本発明者等の研究によれば、これら弗化炭素系のドライエッチング後のシリコン表面に、多量の炭素及び弗素がオージェ電子分光法により観測された。またスパッタリング効果を取り入れ、弗化炭素ガスによる反応性スパッタエッチングを行ったシリコン面の場合、いわゆるシリコン表面にとどまらず、約30 Åの深さにわたるシリコン基板中にまで炭素及び弗素が分布していることが確かめられた。

本発明者は、このため、エッチング後のシリコン表面の損傷を受けた層を通常のシリコン基板な

ら、約100 Åエッチング除去できる条件で、 $\text{HNO}_3$ — $\text{HF}$ — $\text{CH}_3\text{COOH}$ からなるエッチング液で除去し、そのシリコン表面を酸化し、MOSの電気的特性を評価した。そのゲート絶縁膜の絶縁耐圧は、3～6  $\text{MV}/\text{cm}$ であり、表面を上記エッチング液でエッチングせず、そのまま酸化したものの絶縁耐圧6～8  $\text{MV}/\text{cm}$ よりもむしろ悪く、もちろん清浄なシリコン表面を酸化してできたシリコン酸化膜の絶縁破壊電圧9.5～10.2  $\text{MV}/\text{cm}$ よりも極めて悪い結果を得、エッチング後のシリコン基板表面層をどんな方法でも良いから単に除去してしまえば良いというものではないことを確認した。

本発明の目的は、上述のドライエッチング後のシリコン基板表面の損傷層を、エッチング後に適当な表面処理を加えることにより取り除き、以後の半導体集積回路製造工程と両立性のあるものとし、また製作された素子の電気的性質を改善することにある。

本発明によれば、シリコン基板上のシリコン酸化膜又はシリコン窒化膜を  $\text{CF}_4 + \text{H}_2$ ,  $\text{CHF}_3$ ,  $\text{C}_2\text{F}_6$ ,

$\text{C}_3\text{F}_8$ ,  $\text{C}_4\text{F}_8$ ,  $\text{C}_2\text{C}_2\text{F}_6 + \text{H}_2$  などの弗化塩化炭素系ガスを用いた、平行平板型のプラズマエッチング、反応性スパッタエッチング、反応性イオンシャワーエッチング等のドライエッチング技術により、シリコン基板が露呈するまでエッチングし、その後少なくとも  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ ,  $\text{C}_2\text{C}_2\text{F}_6$  等の弗化塩化炭素系ガスを最大10モル%含んだ酸素プラズマガス中で表面処理を行うことを特徴とする半導体装置の製造方法が得られる。

次に実施例の1つとして、ドライエッチング後のシリコン表面処理に  $\text{CF}_4$  を酸素に添加した場合について述べる。

第1図に例示したデータは、微小な穴が数多くあけられたアルミ製の筒で外部の放電領域から分離された直径20 cm、長さ30 cmの円筒型のプラズマ装置の内部にシリコン基板を置き、この装置に  $\text{CF}_4$  と  $\text{O}_2$  混合ガスを導入し、0.3 Torr, 200Wの条件で放電を起したときに、シリコン基板表面に形成されたシリコン酸化膜厚の  $\text{CF}_4$  の濃度依存性を示す。

シリコン酸化膜厚は30～56 Åの範囲にあり、こ

れといった  $\text{CF}_4$  濃度依存性はみられない。 $\text{CF}_4$  の  $\text{O}_2$  への添加はシリコン酸化膜への影響より、シリコン基板、酸化膜、窒化膜のエッチング速度への影響の方が大きい。

第2図に例示したデータは、シリコン基板(図中1)、シリコン酸化膜(図中2)、シリコン窒化膜(図中3)のエッチング速度の  $\text{CF}_4$  の濃度依存性を示したものである。 $\text{CF}_4$  濃度10%まではそのエッチング速度は  $\text{CF}_4$  濃度にほぼ比例する。10%以上の  $\text{CF}_4$  添加はシリコン基板表面が荒れ、シリコン基板表面の鏡面エッチングは不可能となる。

以上の実験は基板温度が60～70℃の範囲で行われた。

代表的に3モル%の  $\text{CF}_4$  添加の場合について示せば、シリコン基板、シリコン酸化膜のエッチング速度はそれぞれ6.5 Å/min, 10 Å/minであった。

この差はそれぞれの密度を勘案すれば、シリコン基板が酸化されながら、その酸化膜がエッチングされていくということと説明できる。

本実施例の場合、シリコン基板表面に成長した

酸化膜の膜厚は約40 Åである。このことはシリコン基板表面の20 Åの深さまでが表面処理の極めて初期の間にシリコン酸化膜に変化しているといえることができる。従って、前記のオージェ電子分光法により観測されたドライエッチング後のシリコン表面の深さ30 Åの損傷層は、シリコンのエッチング速度が6.5 Å/mmであることと考えると、約2分間で消失することとなる。

直径40 cm、電極間隔10 cmの平行平板型の反応性スパッタエッチング装置にCF<sub>4</sub>; 100 SCCM, H<sub>2</sub>; 20 SCCMのガスを導入し、10 Paの圧力の下で、13.56 MHzの高周波放電を起こすという条件の下で2分間エッチングしたシリコン基板表面上に作成したMOSダイオードによるゲート絶縁膜の絶縁耐圧は平均値が6.9 MV/cm、標準偏差が0.85 MV/cmであった。

また上記反応性スパッタエッチング後に前記の3モル%のCF<sub>4</sub>を添加したガスを用いた表面処理を2分間行ったシリコン基板表面上に作成したMOSダイオードでは、ゲート絶縁膜の破壊電圧

は10.5 MV/cmで、その標準偏差は0.42 MV/cmであった。なお特別の処理をしないシリコン基板上ではそれぞれ9.5 MV/cm、1.5 MV/cmであった。このことはエッチング後の表面処理を行うと絶縁破壊電圧が向上するとともに偏差が少なく、特性のそろったものができ、無処理のものより良い結果を得ることができることを示している。

この実験過程で、ドライエッチングをしただけのものと、無処理及びドライエッチング後に本発明の表面処理を行ったものを、同時に酸素中950℃の温度で400 Åをねらって酸化したところ、無処理のもの、及びドライエッチング後に本発明の前記実施例の表面処理を行ったものでは、ねらい通り400 ± 5 Åの膜厚が得られたが、ドライエッチングしただけのものでは、325 ± 5 Åの膜厚となり、ドライエッチング後のシリコン表面に炭素等の不純物が存在するというオージェ<sup>図3</sup>分光法による結果を裏づける結果を得た。

本発明の第1の特長は、実施例に示されている如く、60~70℃といった低温で表面処理を行うこ

とが可能である。シリコン酸化膜及びシリコン窒化膜の反応性スパッタエッチング中の基板温度は、本発明の前記実施例と同じ条件では80~90℃まで上昇する。本発明の表面処理方法では、上記の如く60~70℃であるので、エッチング時よりも低温で表面処理が行われるわけである。従って例えば、不活性ガス中での高温アニールとは違って、極く表面層にのみ限られていたドライエッチングの損傷層から熱的に拡大、発生する欠陥がないという良い特長を持つ。

本発明の第2の特長は、実施例に示した如く、処理が乾燥した状態で、しかも2分程度といった短時間で完了するという点である。

本発明の第3の特長は、処理雰囲気中にF、Clといった半導体装置の製造において問題となるNa、K、Li等のアルカリ金属との間で安定でしかもその後の水洗工程で容易に溶解する塩を作るハロゲン元素を含んでいることである。従って、本発明を実施するときはアルカリ金属汚染を気にすることなく、容易に場所を選ばず行うことが可能で

ある。但し、過度の弗化塩化炭素系ガスの添加はシリコン表面を荒らすので、このため表面上に形成される絶縁膜の絶縁耐圧を下げるのみでなく、二次的な欠陥の発生を誘引する。従って、多くとも10モル%程度に限定することが望ましい。

本発明の第4の特長は、半導体集積回路で使用されるシリコン酸化膜及びシリコン窒化膜のエッチング速度が10~50 Å程度以下の条件を容易に遇べるのでそれまでの写真刻食技術により得られたパターン形状に実質上まったくといって良い程変化を与えないことである。

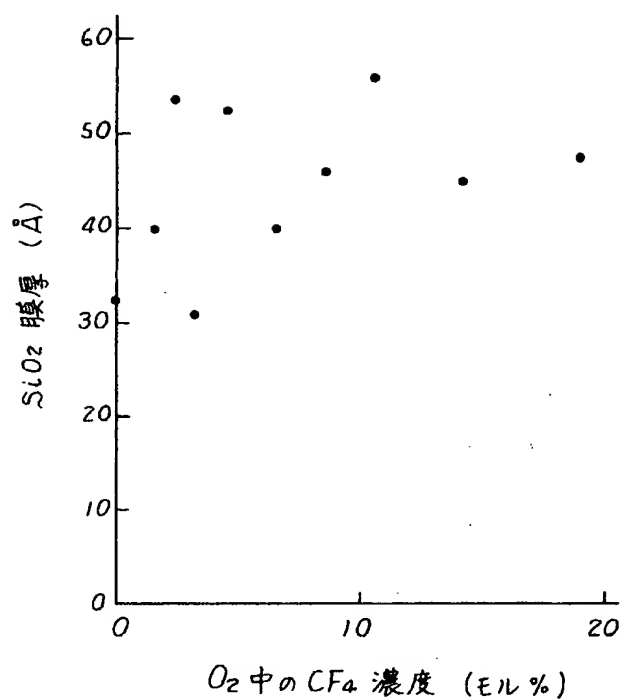
以上説明してきた本発明の実施例に於いては、酸素に添加されるガスとしてCF<sub>4</sub>を用いた例について述べたが、CCl<sub>2</sub>F、CCl<sub>2</sub>F<sub>2</sub>、CCl<sub>3</sub>F等々の塩素を含むものであっても良いし、C<sub>2</sub>F<sub>6</sub>、CHF<sub>3</sub>等の炭素の組成比の大きいものあるいは又水素を一部に含むものであっても同じ効果を得ることが本発明者により確認されている。

第1図

図面の簡単な説明

第1図は本発明の一実施例についてシリコン基板上に形成されるシリコン酸化膜の $CF_4$ 濃度依存性の一例を示したものである。

第2図は同じく本発明の一実施例におけるシリコン基板(図中1)、シリコン酸化膜(図中2)、シリコン窒化膜(図中3)のエッチング速度の $CF_4$ 濃度依存性の一例を示したものである。



第2図

